

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

NAM SEOK KO, ET AL.

Application No.:

Filed:

For: **Internet Protocol Address Lookup
System and Method Using
Three-Layer Table Architecture**

Art Group:

Examiner:

Commissioner for Patents
P.O, Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2002-0074352	27 November 2002

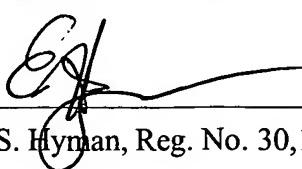
A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 11/27/03

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number:: Korean Patent Application 2002-0074352

Date of Application:: 27 November 2002

Applicant(s):: Electronics and Telecommunications Research Institute

4 November 2003

COMMISSIONER

[Bibliography]

[Document Name]	Patent Application
[Classification]	Patent
[Receiver]	Commissioner
[Reference No.]	0004
[Filing Date]	27 November 2002
[IPC]	H04L
[Title]	Internet Protocol address lookup system based on 3 layer table architecture and method thereof
[Applicant]	
[Name]	Electronics and Telecommunications Research Institute
[Applicant code]	3-1998-007763-8
[Attorney]	
[Name]	Youngpil Lee
[Attorney code]	9-1998-000334-6
[General Power of Attorney Registration No.]	2001-038378-6
[Attorney]	
[Name]	Haeyoung Lee
[Attorney code]	9-1999-000227-4
[General Power of Attorney Registration No.]	2001-038396-8
[Inventor]	
[Name]	KO, Nam Seok
[Resident]	
Registration No.]	721215-1520518
[Zip Code]	305-330
[Address]	407-801 Yeolmaemaeul Apt. 858 Jijok-dong Yusong-gu, Daejeon-city, Rep. of Korea
[Nationality]	Republic of Korea
[Inventor]	
[Name]	KWAK, Dong Yong
[Resident]	
Registration No.]	590806-1222613
[Zip Code]	305-755
[Address]	123-402 Hanbit Apt., Eoeun-dong Yusong-gu, Daejeon-city, Rep. of Korea
[Nationality]	Republic of Korea
[Request for Examination]	Requested

[Purpose]

We file as above according to Art. 42 of the Patent Law,
request the examination as above according to Art. 60 of the
Patent Law.

Attorney
Attorney

Youngpil Lee
Haeyoung Lee

[Fee]

[Basic page]	20 Sheet(s)	29,000 won
[Additional page]	17 Sheet(S)	17,000 won
[Priority claiming fee]	0 Case(S)	0 won
[Examination fee]	27 Claim(s)	973,000 won
[Total]		1,019,000 won
[Reason for Reduction]	Government Invented Research Institution	
[Fee after Reduction]	509,500 won	

[Transfer of Technology]	Allowable
[Licensing]	Allowable
[Technology Training]	Allowable

[Enclosures]

1. Abstract and Specification (and Drawings)	1 copy
--	--------



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0074352
Application Number

출 원 년 월 일 : 2002년 11월 27일
Date of Application NOV 27, 2002

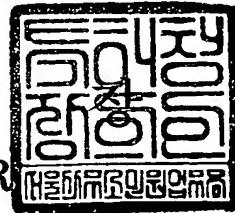
출 원 인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Inst



2003 년 11 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.11.27
【국제특허분류】	H04L
【발명의 명칭】	3 단계 테이블로 구성된 아이피 주소 룩업 시스템 및 그 방법
【발명의 영문명칭】	Internet Protocol address lookup system based on 3 layer table architecture and method thereof
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	고남석
【성명의 영문표기】	KO,Nam Seok
【주민등록번호】	721215-1520518
【우편번호】	305-330
【주소】	대전광역시 유성구 지족동 858 열매마을아파트 407동 801호
【국적】	KR
【발명자】	
【성명의 국문표기】	곽동용
【성명의 영문표기】	KWAK,Dong Yong
【주민등록번호】	590806-1222613

【우편번호】 305-755
【주소】 대전광역시 유성구 어은동 한빛아파트 123-402
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 17 면 17,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 27 항 973,000 원
【합계】 1,019,000 원
【감면사유】 정부출연연구기관
【감면후 수수료】 509,500 원
【기술이전】
【기술양도】 희망
【실시권 허여】 희망
【기술지도】 희망
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 라우터의 데이터 플레인 상에서의 패킷 포워딩을 위한 IP(Internet Protocol) 주소 루프 시스템 및 그 방법에 관한 것으로, 상기 IP 루프 시스템은, 입력 패킷의 IP 목적지 주소를 구성하는 소정의 주소 그룹 각각에 대한 검색을 수행할 수 있도록 3 단계 테이블 구조를 가지는 포워딩 테이블; 및 상기 IP 목적지 주소를 검색키로 하여 상기 각각의 주소 그룹에 대한 상기 포워딩 테이블의 검색을 통해 상기 패킷에 대한 패킷 처리 정보 및 다음 홉에 대한 정보를 구하는 포워딩 엔진을 포함하며, 상기 IP 루프 시스템은, 라우터의 입력 인터페이스 및 출력 인터페이스 중 어느 하나에 구비된다.

【대표도】

도 1

【명세서】

【발명의 명칭】

3 단계 테이블로 구성된 아이피 주소 루업 시스템 및 그 방법{Internet Protocol address lookup system based on 3 layer table architecture and method thereof}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 실시예에 따른 3 단계 테이블로 구성된 IP 주소 루업 시스템이 구비된 라우터의 개략적인 구성을 보여주는 블록도이다.

도 2는 도 1에 도시된 입력 인터페이스(즉, IP 루업 시스템)의 상세 구성을 보여주는 블록도이다.

도 3은 도 1 및 도 2에 도시된 포워딩 테이블의 구성을 보여주는 도면이다.

도 4 내지 도 6은 도 3에 도시된 제 1 내지 제 3 테이블에 포함된 각각의 엔트리 구조를 보여주는 도면이다.

도 7은 도 3에 도시된 제 1 테이블을 이용한 IP 주소 루업 과정을 보여주는 흐름도이다.

도 8은 도 3에 도시된 제 2 테이블을 이용한 IP 주소 루업 과정을 보여주는 흐름도이다.

도 9는 도 3에 도시된 제 3 테이블 이용한 IP 주소 루업 과정을 보여주는 흐름도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 라우터 10 : 입력 인터페이스

20 : 출력 인터페이스 30a-30m : 포워딩 테이블

40a-40m : 포워딩 엔진 80 : 스위치 패브릭

100a-100m : 입력링크 인터페이스

200a-200n : 출력링크 인터페이스

90 : 라우팅정보수집 및 포워딩정보생성부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 인터넷 상에서 패킷을 해당 목적지로 전송하는 라우팅 기술에 관한 것으로, 특히 라우터의 데이터 플레인 상에서의 패킷 포워딩을 위한 아이피(Internet Protocol, 이하 IP라 칭함) 주소 루프 시스템 및 그 방법에 관한 것이다.
- <16> 현재 인터넷 이용자가 급증하고, 제공되는 서비스가 다양화됨에 따라 인터넷 상에 기하급수적인 트래픽 증폭이 발생되고 있다. 이에 따라, 인터넷 상에서 패킷을 해당 목적지로 단시간 내에 전송하기 위해, 해당 패킷의 목적 경로를 최단 시간 내에 발견하여 포워딩하는 기술이 대두되고 있다.
- <17> 라우터의 주요한 기능은 패킷이 최종 목적지에 도달 할 수 있도록 패킷을 포워딩하는 것이다. 이를 위해 라우터는 패킷이 전송될 다음 흡 라우터(next hop router)의 주소와 출력 포트를 찾아내어, 들어오는 패킷의 다음 노드를 결정한다.
- <18> 초창기의 라우터에 있어서, 도달한 패킷의 목적지를 검색 및 처리하는데 요구되는 시간은 라우터에 접속된 전송로를 통해 도달되는 패킷의 전송시간에 비해 고속이었다. 따라서, 인터넷 상에서 각각의 서브 네트워크 사이를 연결하는 라우터의 고유 기능을 수행하는 데에는 큰 어려움이 없었다. 그러나, 최근 들어 라우터의 패킷 검색 및 처리 시간에 비해 전송시간이 상

대적으로 짧아지고 있고, 인터넷 트래픽이 지수적으로 증가하고 있는 것에 비해, 라우터의 패킷 처리 능력은 증가된 데이터 속도만큼 증가되지 못하는 문제가 발생되고 있다. 특히, 수백 기가 도는 수 테라급의 백본(backbone)급 라우터의 경우, 라우터 내에서 패킷 경로 검색 등에 소요되는 시간으로 인해 라우터가 초고속 인터넷 상의 병목(bottleneck) 구간으로 동작하게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는, 3 단계 테이블 구조를 이용한 다중 비트 트라이(multi-bit trie) 구조의 포워딩 테이블을 IP 주소 루업에 이용함으로써, 다중 비트 트라이가 가지는 단점을 최소화하고, 루업 속도를 향상시킬 수 있는 IP 주소 루업 시스템 및 그 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<20> 상기의 과제를 이루기 위하여 본 발명에 의한 IP 루업 시스템은, 입력 패킷의 IP(Internet Protocol) 목적지 주소를 구성하는 소정의 주소 그룹 각각에 대한 검색을 수행할 수 있도록 3 단계 테이블 구조를 가지는 포워딩 테이블; 및 상기 IP 목적지 주소를 검색키로 하여 상기 각각의 주소 그룹에 대한 상기 포워딩 테이블의 검색을 통해 상기 패킷에 대한 패킷 처리 정보 및 다음 흡에 대한 정보를 구하는 포워딩 엔진을 포함하는 것을 특징으로 한다.

<21> 상기의 과제를 이루기 위하여 본 발명에 의한 IP 루업 방법은, (a) 수신된 IP 데이터 패킷으로부터 IP 목적지 주소를 추출하는 단계; (b) 상기 IP 목적지 주소의 MSB 8 비트에 대응되는 제 1 테이블의 엔트리를 추출하는 단계; (c) 상기 IP 목적지 주소의 MSB 8 비트 이후의 14 비트를 제 1 쉬프트 비트만큼 쉬프트한 값에 대응되는 제 2 테이블의 엔트리를 추출하는 단계;

(d) 상기 IP 목적지 주소의 LSB 12 비트를 제 2 쉬프트 비트만큼 쉬프트한 값에 대응되는 제 3 테이블의 엔트리를 추출하는 단계; 및 (e) 검색된 상기 제 3 테이블의 해당 엔트리에 존재하는 다음 흡 정보 및 패킷 처리 정보를 추출하는 단계를 포함하며, 상기 제 1 내지 제 3 테이블들은 상기 IP 목적지 주소를 구성하는 소정의 주소 그룹 각각에 대한 검색을 수행할 수 있도록 구성된 포워딩 테이블에 구비되는 것을 특징으로 한다.

<22> 이하에서, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명한다.

<23> 도 1은 본 발명의 바람직한 실시예에 따른 3 단계 테이블로 구성된 IP 주소 투입 시스템이 구비된 라우터(1)의 개략적인 구성을 보여주는 블록도이다. 도 1을 참조하면, 본 발명에 따른 라우터(1)는 크게 입력 인터페이스(10), 출력 인터페이스(20), 스위치패브릭(80), 및 라우팅정보수집 및 포워딩정보생성부(90)로 구성된다.

<24> 입력 인터페이스(10)는 복수 개의 입력 링크 인터페이스들(100a-100m)로 구성되어, 상기 입력 링크 인터페이스들(100a-100m)을 통해 수신된 IP 패킷에 대한 목적지 주소를 기반으로 하여 IP 주소 투입을 수행한다. 그리고, IP 주소 투입의 결과를 근거로 하여 스위치 패브릭(80)에 구비된 해당 스위치의 입력 포트로 패킷을 전송한다.

<25> 스위치 패브릭(80)은, 라우터(1)의 입·출력 포트간 트래픽 전송을 수행하고, 출력 인터페이스(20)는 스위치 패브릭(80)으로부터 전송되는 입력 인터페이스(10)의 투입 결과에 응답해서 해당 출력 포트에게 패킷을 전송하는 기능을 수행한다.

<26> 그리고, 라우팅정보수집 및 포워딩정보생성부(90)는 라우팅 프로토콜을 통해 라우팅 정보를 수집하고, 수집된 라우팅 정보를 포워딩 정보로 가공하여 입력 인터페이스(10)에게 전달

한다. 입력 인터페이스(10)는 라우팅정보수집 및 포워딩정보생성부(90)로부터 전송된 포워딩 정보를 기반으로 하여 3 단계 테이블 구조를 가지는 포워딩 테이블(30a-30m)을 구성한다.

<27> 본 발명에 따른 IP 주소 룩업 기능은, 라우터(1)의 입력 인터페이스(10) 및/또는 출력 인터페이스(20)에 모두 적용 가능하다. 따라서, 도 1에 도시된 입력 인터페이스(10)의 구성은 일 예에 불과하며, 회로의 구성에 따라서는 IP 주소 룩업을 구성하는 기능 블록(즉, IP 룩업 시스템)이 입력 인터페이스(10)가 아닌 출력 인터페이스(20) 내에 구성될 수도 있고, 입력 인터페이스(10) 및 출력 인터페이스(20) 모두에 구성될 수도 있다.

<28> 도 2는 도 1에 도시된 입력 인터페이스(10)(즉, IP 룩업 시스템)의 상세 구성을 보여주는 블록도이다. 도 2를 참조하면, 본 발명에 따른 입력 인터페이스(10)는 포워딩 테이블 관리부(12), 네트워크 정합부(14), 스위치 정합부(16), 및 적어도 하나 이상의 입력링크 인터페이스(100a)로 구성되어, 입력 패킷에 대한 물리적인 처리 및 기본적인 패킷 처리를 수행한다. 입력링크 인터페이스(100a)에는 포워딩 테이블(30a)과 포워딩 엔진(40a)이 구비되며, 포워딩 엔진(40a)에는 패킷 포워딩부(50a), 프로토콜 패킷 처리부(60a), 및 오류 처리부(70a)가 구비된다.

<29> 입력 인터페이스(10)에 연결된 라우팅정보수집 및 포워딩정보생성부(90)는 라우팅 프로토콜을 통해 라우팅 정보를 수집하고, 수집된 라우팅 정보를 포워딩 정보로 가공하여 이를 IPC(Interprocessor communication)를 통해 포워딩 테이블 관리부(12)에게 전달한다.

<30> 포워딩 테이블 관리부(12)는 라우팅정보수집 및 포워딩정보생성부(90)로부터 포워딩 정보를 다운로드 받아서 포워딩 테이블(30a)을 생성하고 관리한다. 이 때 생성되는 포워딩 테이블(30a)은 3 단계의 테이블로 구성된다. 이에 대한 상세 내용은 도 3 내지 도 6을 참조하여 아래에서 설명될 것이다.

- <31> 입력 인터페이스(10)는 하나 이상의 다중 링크 인터페이스(100a)로부터 패킷이 수신되면, 수신된 패킷에 대한 물리적인 패킷 처리 과정 및 기본적인 패킷 처리과정을 수행한 후, 포워딩 엔진(40a)으로 패킷을 입력한다.
- <32> 포워딩 엔진(40a)의 패킷 포워딩부(50a)는 3 단계의 테이블로 구성된 포워딩 테이블(30a)을 참조하여 해당 패킷의 IP 목적지 주소와 일치하는 포워딩 엔트리가 존재하는지를 검색한다. 이 때, 패킷 포워딩부(50a)는 IP LPM(Longest Prefix Match) 방법을 통해서 상기 IP 패킷의 목적지 주소와 가장 길게 일치하는 엔트리를 검색하게 된다. 검색 결과, 해당 패킷의 IP 목적지 주소와 일치하는 포워딩 엔트리가 존재하는 경우, 포워딩 엔트리가 제공하는 다음 흡 정보 및 기본적인 패킷 처리 정보를 이용하여 패킷을 처리하고, 처리된 패킷을 스위치 정합부(16)로 전송한다. 그리고, 프로토콜 패킷 처리부(60a)는 내부 라우팅 프로토콜을 처리하고, 오류 처리부(70a)는 IP 주소에 포워딩 정보가 설정되어 있지 않은 경우, 해당 패킷을 에러 패킷으로 판단하고 폐기하는 기능을 수행한다.
- <33> 네트워크 정합부(14)는 포워딩 엔진(40a)으로부터 포워딩된 패킷을 받아들여 실제적인 패킷의 전송을 수행한다. 그리고, 스위치 정합부(16)는 IP 주소 룩업을 마친 패킷을 스위치 패브릭(80)에 구비된 해당 스위치의 입력 포트에게 전달한다.
- <34> 도 3은 도 1 및 도 2에 도시된 포워딩 테이블(30a)의 구성을 보여주는 도면이다. 도 3을 참조하면, 본 발명에 따른 포워딩 테이블(30a)은 제 1 테이블(FIST TABLE ; 310a), 제 2 테이블(SECOND TABLE ; 330a) 및 제 3 테이블(THIRD TABLE ; 350a)로 구성된 3단계 테이블 구조를 갖는다.
- <35> 제 1 테이블(310a)은 IP 주소의 MSB(most significant bit) 8 비트에 대한 룩업 테이블, 제 2 테이블(330a)은 IP 주소의 9 비트에서 20 비트에 대한 룩업 테이블, 그리고 제 3 테이블

(350a)은 IP 주소의 마지막 12 비트에 대한 룩업 테이블을 각각 나타낸다. 즉, 상기포워딩 테이블(30a)에서 다중 비트 트라이의 각 레벨별 보폭은 8, 14, 및 10으로 각각 구성된다. 이와 같은 각 레벨별 보폭은 메모리의 최적화 및 업데이트의 관점에서 결정된다.

<36> 도 4 내지 도 6은 도 3에 도시된 제 1 내지 제 3 테이블(310a-350a)에 포함된 각각의 엔트리 구조를 보여주는 도면이다.

<37> 먼저 도 3 및 도 4를 참조하면, 제 1 테이블(310a)은 IP 주소의 MSB 8 비트에 해당되는 부분에 대한 룩업 테이블로서, 256(즉, 2^8) 개의 32 바이트 엔트리들로 구성된다.

<38> 제 1 테이블(310a)을 구성하는 각각의 엔트리는, 1 비트의 유효 비트(valid bit ; 3101), 1 비트의 플래그 비트(flag bit ; 3102), 4 비트의 제 1 쉬프트 비트(ShiftBits1 ; 3103), 및 제 2 테이블 오프셋 비트(Second Table Offset ; 3104)로 구성된 4 개의 필드를 포함한다.

<39> 먼저, 유효 비트(3101)는 해당 패킷 내에 엔트리에 해당되는 포워딩 정보가 존재하는지 여부를 나타낸다. 유효 비트(3101)가 설정되지 않은 엔트리에 대한 룩업을 시도하는 패킷은, 호스트 프로세서로 보내지거나 오류 처리부(70a)로 보내져 폐기될 수 있다.

<40> 플래그 비트(3102)는 제 2 테이블 오프셋 비트(3104) 필드가 가리키는 엔트리가 다음 흡(next hop)에 관한 정보를 가지고 있는지 여부를 나타낸다. 그러나, 8 비트 프리픽스는 실제로 그리 많지 않기 때문에, 플래그 비트(3102)는 사용되지 않을 수도 있다. 이 경우, 제 1 테이블(310a)을 구성하는 각각의 엔트리들은 플래그 비트(3102)가 제외된 3 개의 필드로 구성된다.

- <41> 제 1 쉬프트 비트(ShiftBits1 ; 3103)는, 제 2 테이블(330a)에서 룩업을 하기 위해 사용될 IP 주소의 비트 수를 나타낸다. 제 1 쉬프트 비트(ShiftBits1 ; 3103)의 실제적인 의미는 쉬프트라는 용어가 의미하는 바와 같이 주소를 몇 비트 쉬프트 할 것인가를 나타낸다. 즉, 제 1 쉬프트 비트(ShiftBits1 ; 3103)는, 제 1 테이블(310a)에서 이미 비교가 이루어진 처음 8 비트를 제외한 나머지 비트 중 비교가 필요한 비트를 나타내기 위해, 비교가 필요 없는 비트를 쉬프트 하는데 사용된다. 상기 제 1 쉬프트 비트(ShiftBits1 ; 3103)는, 제 3 테이블(350a)을 위해 고정되어 있는 IP 주소의 마지막 12 비트(즉, LSB(least significant bit) 12 비트)와 제 1 테이블(310a)이 사용한 초기 8 비트(즉, MSB 8 비트)를 제외한 12 비트에 대한 쉬프트 비트 수만 나타내면 되기 때문에, 4비트면 충분하다.
- <42> 마지막으로, 제 2 테이블 오프셋 비트(3104)는, 제 2 테이블(330a)의 서브 테이블(sub-table ; 331, 332, …, 33j)에 대한 시작 주소로부터의 오프셋을 나타낸다. 제 2 테이블 오프셋 비트(3104) 필드를 메모리에 대한 포인터로 사용하게 될 경우, 0 ~ 2^{26} (즉, 64MB)의 메모리 주소까지 밖에 표현할 수 없게 된다. 따라서, 본 발명에서는 운영체제와 입출력 장치 사이의 가교역할을 하는 베이스 어드레스(Base Address)를 오프셋에 사용함으로써, 제 2 테이블(330a)이 베이스 어드레스로부터 64 MB 이내에 위치할 수 있도록 한다.
- <43> 이 외에도 제 1 테이블(310a)에는 다음 테이블이 마지막 테이블임을 나타내는 파이널 비트(final bit)(미 도시됨)가 더 포함된다. 제 1 테이블(310a)에 대한 검색시 파이널 비트(final bit)가 검출되면, IP 룩업 동작은 제 2 테이블(330a)을 거치지 않고 제 3 테이블(350a)에서 수행된다(도 7의 3180 및 3190 단계 참조).
- <44> 계속해서 도 3 및 도 5를 참조하면, 제 2 테이블(330a)은 제 1 테이블(310a)의 제 1 쉬프트 비트(ShiftBits1 ; 3103)에 의해서 가변적인 크기를 가진다. 즉, 제 2 테이블(330a)은 2^8

개의 제 1 테이블(310a)의 각각의 엔트리에 대하여 $2^{\text{ShiftBits}} 1\text{개의 } 4\text{ 바이트 엔트리를 가진다.}$ 따라서, 최악의 경우 2^8 개의 모든 엔트리에 대하여 각각이 2^{12} 의 제 2 테이블 엔트리를 가질 수 있으므로, 제 1 및 제 2 테이블(310a, 330a)을 합한 총 메모리의 양은 최대 2^{20} 개의 4 바이트 엔트리를 위한 메모리(즉, 4 MB의 메모리)가 요구된다. 그러나, 일반적인 포워딩 테이블 엔트리의 경우 MSB 8 비트가 서로 다른 엔트리의 종류는 아래의 [표 1]에 표시된 바와 같이 110여 개 정도이다.

<45> [표 1]은 2002년 10월 18일에 발표된 AS 286, AS 1221, AS 4637의 BGP(Border Gateway Protocol) 테이블에서 MSB 8비트가 서로 다른 포워딩 엔트리의 개수를 나타낸다.

<46> 【표 1】

AS	MSB 8비트가 서로 다른 엔트리 개수
AS286	106개
AS1221	110개
AS4637	109개

<47> 따라서, 110개 정도의 엔트리가 존재한다고 가정하였을 때, 제 1 및 제 2 테이블(310a, 330a)을 위해 필요로 하는 메모리의 양은 최대 1.7 MB가 된다. 그러나, 이 경우 110개의 제 1 테이블 엔트리가 모두 2^{12} 개의 제 2 테이블 엔트리를 가지지 않기 때문에, 제 1 및 제 2 테이블(310a, 330a)을 위해 필요로 하는 메모리의 양은 아래의 [표 2] 내지 [표 4]와 같다.

<48> [표 2] 내지 [표 4]는 2002년 10월 18일에 발표된 AS286, AS1221, AS4637 BGP(Border Gateway Protocol)의 테이블 데이터를 본 발명에 적용할 경우 요구되는 메모리의 양으로서, 제 1 테이블(310a)을 8로 고정시키고 제 2 테이블(330a)의 보폭을 8에서 16까지 가변 시키는 경우 요구되는 메모리 양을 각각 나타낸다.

<49> 【표 2】

Second Table Stride	Second Table Memory	Third Table Memory	Total Memory
8	2,204	13,520,976	13,523,196
10	2,204	6,372,272	6,374,494
12	34,960	3,075,072	3,110,052
14	231,548	1,814,128	2,045,698
16	20,416,280	1,463,184	21,879,488

<50> 【표 3】

Second Table Stride	Second Table Memory	Third Table Memory	Total Memory
8	2,480	74,928,544	74,931,040
10	6,572	36,905,728	36,912,318
12	22,948	16,804,880	16,827,848
14	186,776	7,927,360	8,114,158
16	21,157,972	3,574,064	24,732,060

<51> 【표 4】

Second Table Stride	Second Table Memory	Third Table Memory	Total Memory
8	1,456	15,496,768	15,498,240
10	13,732	6,950,016	6,963,766
12	38,296	3,314,064	3,352,380
14	202,124	1,862,480	2,064,626
16	20,911,140	1,440,384	22,351,548

<52> 아래에서 상세히 설명되겠지만, [표 2] 내지 [표 4]에 표시된 본 발명에 따른 메모리 소요량은 2 단계의 테이블 구조를 가지는 기존의 IP 루업 방법에 비해(아래의 [표 5] 내지 [표 7] 참조) 현저히 줄어든 메모리 소요량을 가짐을 알 수 있다.

<53> 도 5를 참조하면, 제 2 테이블(330a)을 구성하는 각각의 엔트리는, 유효 비트(valid bit ; 3301), 제 2 쉬프트 비트(ShiftBits2 ; 3302), 및 제 3 테이블 오프셋 비트(Third Table Offset ; 3303)로 구성된 3 개의 필드를 포함한다.

- <54> 먼저, 첫 번째 필드인 유효 비트(3301)는 제 1 테이블 엔트리의 유효 비트(3101)와 마찬가지로 해당 엔트리가 유효한지 여부를 나타내며, 유효하지 않은 엔트리에 대한 롤업을 시도하는 패킷은 호스트 프로세서로 보내지거나 오류 처리부(70a)로 보내져 폐기된다. 두 번째 필드인 제 2 쉬프트 비트(ShiftBits2 ; 3302)는, 제 3 테이블(350a)의 엔트리에서 비교될 비트를 결정하기 위해, IP 목적지 주소에 대한 쉬프트 비트 수를 나타낸다. 그리고, 세 번째 필드인 제 3 테이블 오프셋 비트(3303)는 제 3 테이블(350a)의 서브 테이블의 시작 주소를 나타내기 위해, 제 1 테이블(310a)로부터의 오프셋을 나타낸다.
- <55> 계속해서 도 3 및 도 6을 참조하면, 제 3 테이블(350a)은 제 2 테이블(330a)의 제 2 쉬프트 비트(ShiftBits2 ; 3302)에 의해 가변적인 크기를 가진다. 즉, 제 3 테이블(350a)은 제 2 테이블(330a)의 각각의 엔트리에 대하여 $2^{\text{ShiftBits2}}\text{개의 } 16\text{ 바이트 엔트리를 가진다.}$
- <56> 제 3 테이블(350a)을 구성하는 각각의 엔트리는 유효 비트(valid bit ; 3501), Ours 비트(3502), 및 패브릭 헤더(Fabric Header ; 3503)로 구성된 3 개의 필드를 포함한다.
- <57> 첫 번째 필드인 유효 비트(3501)는, 제 1 및 제 2 테이블 엔트리의 유효 비트(3101, 3301)와 마찬가지로 해당 엔트리가 유효한지 여부를 나타내며, 유효하지 않은 엔트리에 대한 롤업을 시도하는 패킷은 호스트 프로세서로 보내지거나 오류 처리부(70a)로 보내져 폐기된다. 두 번째 필드인 Ours 비트(3502)는, 해당 엔트리가 각 인터페이스에 대한 정보를 나타냄을 표시하는 인터페이스 표시 비트로 사용된다. 그리고, 세 번째 필드인 패브릭 헤더(3503)는, 6 바이트의 다음 홉 MAC(Media Access Control) 주소 및 스위치 패브릭에 의해 사용될 필요가 있는 부가 헤더 정보 등을 나타내는 데 사용된다. 패브릭 헤더(3503)는 필요에 따라 더 많은 정보를 추가할 수도 있고, 많은 정보가 필요하지 않은 경우에는 그 크기를 더 작게 구성할 수 도 있다.

- <58> 도 7 내지 도 9는 3 단계로 구성된 포워딩 테이블을 이용한 본 발명에 따른 IP LPM(Longest Prefix Match) 루업 방법을 보여주기 위한 흐름도이다. 도 7은 도 3에 도시된 제 1 테이블(310a)을 이용한 IP 주소 루업 과정을 보여주는 흐름도이고, 도 8은 도 3에 도시된 제 2 테이블(330a)을 이용한 IP 주소 루업 과정을 보여주는 흐름도이다. 그리고, 도 9는 도 3에 도시된 제 3 테이블(350a)을 이용한 IP 주소 루업 과정을 보여주는 흐름도이다.
- <59> 먼저, 도 7을 참조하면, 본 발명에 따른 라우터(1)는 먼저 입력 인터페이스(10)를 통해 패킷을 받아들이고(3110 단계), 프로토콜 및 데이터 패킷 종류를 판별한다(3120 단계). 3120 단계에서의 판별 결과, 해당 패킷이 프로토콜 패킷이면 프로토콜 패킷 처리부(60a)로 전송하여 상기 프로토콜 패킷을 처리하고, 해당 패킷이 IP 데이터 패킷이면 상기 IP 데이터 패킷으로부터 목적지 주소를 추출한다(3140 단계).
- <60> 3140 단계에서 목적지 주소가 추출되었으면, 목적지 주소의 MSB 8 비트를 인덱스로 하여 제 1 테이블(310a)의 엔트리를 추출한다(3150 단계). 예를 들어, 입력된 IP 데이터 패킷의 목적지 주소가 "A.B.C.D"로 주어진 경우, 상기 주소의 처음 8 비트(즉, A)가 제 1 테이블(310a)에 대한 인덱스로 사용된다. 상기 인덱스에 의해서 주어진 제 1 테이블(310a)의 엔트리에는 도 4에 도시된 바와 같이 유효비트(Valid bit)와, 제 2 테이블(330a)에서의 위치를 지정하는데 필요한 제 2 테이블 오프셋, 및 제 1 쉬프트 비트(ShiftBits1)가 포함된다. 여기서, 제 2 테이블 오프셋은 제 1 테이블(310a)의 엔트리에 의해 포인팅 되는 제 2 테이블(330a)의 서브 테이블의 시작을 가리키며, 제 1 쉬프트 비트(ShiftBits1)는 상기 서브 테이블 내의 정확한 위치를 지정하는 데 사용된다. 예를 들어, 포워딩 엔트리의 프리픽스 길이가 24 비트라고 하면, 제 1 테이블(310a)에서 제 1 쉬프트 비트(ShiftBits1)는 제 2 테이블(330a)에서 12 비트를 모두 비

교할 필요가 있기 때문에 0의 값이 되며, 제 2 테이블 오프셋 값은 제 2 테이블(330a)에서 2¹² 개의 엔트리를 가지는 서브 테이블의 시작을 가리키게 된다.

<61> 상기와 같은 제 1 테이블(310a)의 엔트리가 추출되고 나면, 추출된 엔트리에 포함된 유효비트(Valid bit)가 유효한지 여부가 판별된다(3160 단계). 3160 단계에서의 판별 결과, 유효 비트가 유효하지 않은 것으로 판명되었으면, 해당 패킷을 오류 처리부(70a)로 전송하여 폐기시킨다(3170 단계). 그리고, 3160 단계에서의 판별 결과, 유효 비트가 유효한 것으로 판명되었으면 제 1 테이블(310a)의 마지막 비트(Final bit)가 검출되었는지 여부를 판별한다(3180 단계).

<62> 3180 단계에서의 판별 결과, 제 1 테이블(310a)의 마지막 비트가 검출되었으면 제 3 테이블(350a)을 검색하고, 제 1 테이블(310a)의 마지막 비트가 검출되지 않았으면 목적지 주소의 MSB 8 비트 이후의 14 비트를 추출한 후, 제 1 테이블(310a)의 제 1 쉬프트 비트(ShiftBits1) 만큼 쉬프트하여 이를 제 2 테이블(330a)에 대한 인덱스로 사용한다(3200 단계). 그리고, 상기 인덱스를 근거로 하여 제 2 테이블(330a)을 검색한다(3210 단계).

<63> 도 8을 참조하여 제 2 테이블(330a)을 이용한 IP 주소 루업 과정을 살펴보면 다음과 같다. 도 8을 참조하면, 먼저 제 2 테이블(330a)의 검색이 시작되고(3310단계), 제 1 테이블(310a)의 검색 결과 얻어진 인덱스(도 7의 3200 단계 참조)에 해당되는 제 2 테이블(330a)의 엔트리가 추출된다(3320 단계). 이어서, 제 2 테이블(330a)의 유효비트가 유효한지 여부가 판별된다(3330 단계).

<64> 3330 단계에서의 판별 결과, 제 2 테이블(330a)의 유효비트가 유효하지 않은 것으로 판명되었으면, 해당 패킷을 오류 처리부(70a)로 전송하여 폐기시킨다(3340 단계). 그리고, 제 2

테이블(330a)의 유효비트가 유효한 것으로 판명되었으면, 목적지 주소의 LSB 12 비트를 추출한 후, 제 2 테이블(330a)의 제 2 쉬프트 비트(ShiftBits2) 만큼 쉬프트하여 제 3 테이블(350a)에 대한 인덱스로 사용한다(3350 단계). 그리고, 상기 인덱스를 근거로 하여 제 3 테이블(350a)을 검색한다(3360 단계).

<65> 즉, 입력된 IP 데이터 패킷의 목적지 주소 "A.B.C.D"에 있어서, 제 1 테이블(310a)에서 이미 비교가 이루어진 처음 8 비트(즉, A)와, 제 3 테이블(350a)에서 비교가 이루어지는 C의 LSB 4 비트, 및 D를 제외한 12 비트 중에서 제 1 쉬프트 비트(ShiftBits1) 만큼 쉬프트하고 남는 비트를 이용하여 제 2 테이블(330a)을 구성하는 서브 테이블에 대한 인덱스로 사용하게 된다. 이 인덱스에 의해서 지정된 엔트리에는, 제 3 테이블(350a)에 대한 위치를 지정하기 위해, 제 2 쉬프트 비트(ShiftBits2)와 제 3 테이블 오프셋이 포함된다(도 5 참조). 제 3 테이블 오프셋은 제 2 테이블(330a)의 엔트리에 의해 포인팅 되는 제 3 테이블(350a)의 서브 테이블의 시작을 가리키고, 제 2 쉬프트 비트(ShiftBits2)는 상기 서브 테이블 내에서의 정확한 위치 지정에 사용된다. 제 2 쉬프트 비트(ShiftBits2)는, 예를 들어 포워딩 엔트리의 프리픽스 길이가 24 비트라고 할 때, 8의 값을 가지게 된다. 이 8 이란 값은 다음과 같이 계산된다.

<66> 예를 들어, 프리픽스 길이가 24 비트이고, 제 1 테이블(310a)의 인덱스가 8 비트이고, 제 2 테이블(330a)의 인덱스가 12 비트이면, 제 3 테이블(350a)에서 비교를 위해 필요한 비트는 4 비트가 된다. 이 4 비트를 비교하기 위해 제 3 테이블(350a)의 최대 비교 비트인 12에서 4를 빼게 되면, 실제적으로 쉬프트를 하기 위해 필요한 비트 수는 8이 된다.

<67> 도 9를 참조하여 제 3 테이블(350a)을 이용한 IP 주소 루업 과정을 살펴보면 다음과 같다. 도 9를 참조하면, 먼저 제 3 테이블(350a)의 검색이 시작되고(3510단계), 제 2 테이블(330a)의 검색 결과 얻어진 인덱스(도 8의 3350 단계 참조)에 해당되는 제 3 테이블(350a)의

엔트리가 추출된다(3520 단계). 이 경우, 입력된 IP 데이터 패킷의 목적지 주소 "A.B.C.D"에 있어서, 제 1 테이블(310a)에서 이미 비교가 이루어진 처음 8 비트(즉, A)와, 제 2 테이블(330a)에서 비교가 이루어지는 B와, C의 MSB 4비트를 제외한 LSB 4비트, 및 D를 제 2 쉬프트 비트(ShiftBits2) 만큼 쉬프트하고 남은 비트를 이용하여 제 3 테이블(350a)을 구성하는 서브 테이블에 대한 인덱스로 사용하게 된다. 이 인덱스에 의해서 지정된 엔트리에는 도 6에 도시된 바와 같이, 유효 비트와, 부가 헤더 정보 등을 나타내는 패브릭 헤더가 포함된다.

<68> 상기와 같은 제 3 테이블(350a)의 엔트리가 추출되고 나면, 해당 엔트리에 포함된 유효 비트가 유효한지 여부가 판별된다(3530 단계). 3530 단계에서의 판별 결과, 제 3 테이블(350a)의 유효비트가 유효하지 않은 것으로 판명되었으면, 해당 패킷을 오류 처리부(70a)로 전송하여 폐기시킨다(3540 단계). 그리고, 제 3 테이블(350a)의 유효비트가 유효한 것으로 판명되었으면, 제 3 테이블(350a)의 해당 엔트리에 존재하는 다음 흡 정보 및 패킷 처리 정보가 추출된다(3550 단계). 그리고, 추출된 패킷 처리 정보에 응답해서 스위치 정합부(16)에게 패킷을 전송 한다(3560 단계).

<69> 앞에서 설명한 바와 같이, 본 발명에 따른 IP 주소 룩업 방법은, IP 패킷이 입력되면, IP 주소의 목적지 주소를 검색키로 하여 3 단계로 구성된 포워딩 테이블을 검색하여 IP 패킷이 전송될 다음 흡에 대한 정보 및 패킷 처리에 관한 정보를 얻게 된다.

<70> IP 주소의 룩업에 있어서 중요한 문제는 검색에 있어서 속도의 문제와, 포워딩 테이블의 관리에 있어서 메모리의 소비량 문제, 그리고 포워딩 엔트리가 변경될 경우 포워딩 테이블에 대한 업데이트 문제를 들 수 있다. 본 발명에서는 이와 같은 문제점들을 최소화시킬 수 있도록 3 단계로 구성된 포워딩 테이블을 구성하고, 이를 이용한 IP주소 룩업을 수행한다. 본 발명을 두 단계의 테이블 구조를 가지는 경우 소요되는 메모리 량을 비교하면 다음과 같다.

<71> [표 5] 내지 [표 7]은 2002년 10월 18일에 발표된 AS286, AS1221, AS4637 BGP의 테이블 데이터를 두 단계의 테이블 구조를 가지는 기존의 IP 주소 루업 구조를 사용할 때 요구되는 메모리의 양을 각각 나타낸다.

<72> 【표 5】

Primary Table Stride	Primary Table Memory	Secondary Table Memory	Total Memory
16	262,144	520,976	13,783,120
18	1,048,576	6,372,272	7,420,848
20	4,194,304	3,075,072	7,269,376
22	16,777,216	1,814,128	18,591,344
24	67,108,864	1,463,184	68,572,048

<73> 【표 6】

Primary Table Stride	Primary Table Memory	Secondary Table Memory	Total Memory
16	262,144	928,544	75,190,688
18	1,048,576	36,905,728	37,954,304
20	4,194,304	16,804,880	20,999,184
22	16,777,216	7,927,360	24,704,576
24	67,108,864	3,574,064	70,682,928

<74> 【표 7】

Primary Table Stride	Primary Table Memory	Secondary Table Memory	Total Memory
16	262,144	496,768	15,758,912
18	1,048,576	6,950,016	7,998,592
20	4,194,304	3,314,064	7,508,368
22	16,777,216	1,862,480	18,639,696
24	67,108,864	1,440,384	68,549,248

<75> [표 2] 내지 [표 7]에서 알 수 있는 바와 같이, 3 단계의 포워딩 테이블을 사용하는 본 발명에 따른 IP 주소 루업 방법은, 두 단계로 구축된 포워딩 테이블을 사용하는 기존의 방법에 비해 메모리의 사용량이 현저하게 줄었으며, 포워딩 테이블의 변경시 업데이트에 있어서 많은 장점을 가지게 된다.

<76> 예를 들면, [표 2] 및 [표 5]에서 알 수 있듯이 AS286 BGP 테이블 데이터 IP 루업에 사용할 경우, 본 발명에서 소요되는 전체 메모리는 최소 2,045,698 바이트, 최대 21,879,488 바이트인 반면, 기존의 방법에서 소요되는 메모리는 최소 7,269,376 바이트, 최대 68,572,048 바이트가 된다. 그리고, [표 3] 및 [표 6]에서 알 수 있듯이 AS1221 BGP 테이블 데이터 IP 루업에 사용할 경우, 본 발명에서 소요되는 전체 메모리는 최소 8,114,158 바이트, 최대 74,931,040 바이트인 반면, 기존의 방법에서 소요되는 메모리는 최소 20,999,184 바이트, 최대 75,190,688 바이트가 된다. 또한, [표 4] 및 [표 7]에서 알 수 있듯이, AS4637 BGP 테이블 데이터 IP 루업에 사용할 경우, 본 발명에서 소요되는 전체 메모리는 최소 2,064,626 바이트, 최대 22,351,548 바이트인 반면, 기존의 방법에서 소요되는 메모리는 최소 7,508,368 바이트, 최대 68,549,248 바이트가 된다.

<77> 이와 같은 메모리의 소요량은, 기존의 방법에서 Primary Table Stride를 변경하여 최적화시켜도 그 최소 메모리 요구량은 본 발명에 따른 IP 루업 방법에서 필요로 하는 메모리 요구량 보다 훨씬 많게 된다.

<78> 뿐만 아니라, 기존에 사용되고 있는 2 단계 테이블 구조는, 포워딩 엔진이 루업을 위해 실제로 사용하고 있는 테이블과, 포워딩 테이블을 업데이트 하기 위한 테이블이 별도로 필요하기 때문에, 실제 메모리 소요량은 계산된 메모리 양의 두 배가 필요하다. 그러나, 본 발명에서 부가적으로 요구되는 메모리 양은 제 2 테이블을 구성하는 서브 테이블의 크기와, 제 3 테이블을 구성하는 서브 테이블의 크기뿐이다. 즉, 본 발명에서는 제 2 테이블의 서브 테이블의 최대 크기인 2^{12} 개의 엔트리를 위한 16KB의 메모리와, 제 3 테이블의 서브 테이블의 최대 크기인 2^{12} 개의 엔트리를 위한 16KB의 메모리를 합한, 총 32KB의 부가적인 메모리만 있으면 된다.

<79> 또한, 테이블 업데이트에 있어서, 2 단계 테이블 구조에서는 하나의 포워딩 엔트리가 변경이 있어도 전체 테이블 구조가 새로이 구성되기 때문에 많은 시간이 걸리는 반면, 본 발명은 변경이 발생한 서브 테이블만 변경하면 되기 때문에 포워딩 엔트리 변경에 대한 업데이트가 용이하게 된다.

<80> 이상에서, 본 발명의 실시예로서 라우터의 입력 인터페이스에 3단계 데이터 구조를 갖는 IP 루업 시스템이 구성되는 경우에 대해 구체적으로 예시되었으나, 그밖에도 라우터의 출력 인터페이스, 및 라우터의 입·출력 인터페이스 모두에도 본 발명을 적용할 수 있다.

<81> 본 발명은 또한 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 컴퓨터가 읽을 수 있는 기록매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광데이터 저장장치 등이 있으며, 또한 캐리어 웨이브(예를 들어 인터넷을 통한 전송)의 형태로 구현되는 것도 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산방식으로 컴퓨터가 읽을 수 있는 코드로 저장되고 실행될 수 있다.

【발명의 효과】

<82> 이상에 설명한 바와 같이, 본 발명에 의한 IP 주소 루업 시스템 및 그 방법에 의하면, 검색 속도와, 포워딩 테이블 관리에 필요한 메모리의 소비량이 줄어들게 되고, 포워딩 테이블에 대한 업데이트가 용이해진다. 따라서, 기존의 다중 비트 트라이가 가지고 있는 단점들을 최소화시킬 수 있고, 루업 속도를 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

입력 패킷의 IP(Internet Protocol) 목적지 주소를 구성하는 소정의 주소 그룹 각각에 대한 검색을 수행할 수 있도록 3 단계 테이블 구조를 가지는 포워딩 테이블; 및 상기 IP 목적지 주소를 검색키로 하여 상기 각각의 주소 그룹에 대한 상기 포워딩 테이블의 검색을 통해 상기 패킷에 대한 패킷 처리 정보 및 다음 흡에 대한 정보를 구하는 포워딩 엔진을 포함하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 2】

제 1 항에 있어서,

상기 IP 루업 시스템은, 라우터의 입력 인터페이스 및 출력 인터페이스 중 어느 하나에 구비되는 것을 특징으로 하는 IP 루업 시스템.

【청구항 3】

제 2 항에 있어서,

상기 입력 인터페이스는, 상기 포워딩 테이블 및 상기 포워딩 엔진이 구비된 적어도 하나 이상의 입력 링크 인터페이스를 포함하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 4】

제 2 항에 있어서,

상기 출력 인터페이스는, 상기 포워딩 테이블 및 상기 포워딩 엔진이 구비된 적어도 하나 이상의 출력 링크 인터페이스를 포함하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 5】

제 1 항에 있어서, 상기 IP 룩업 시스템은
라우팅 프로토콜을 통해 라우팅 정보를 수집하고, 수집된 상기 라우팅 정보를 포워딩
정보로 가공하는 라우팅정보수집 및 포워딩정보생성부; 및
상기 포워딩 정보를 상기 포워딩 테이블에 저장하는 포워딩 테이블 관리부를 더 포함하
는 것을 특징으로 하는 IP 룩업 시스템.

【청구항 6】

제 1 항에 있어서, 상기 포워딩 테이블은
상기 IP 목적지 주소의 MSB(most significant bit) 8 비트에 대한 룩업을 수행하기 위
한 제 1 테이블;
상기 IP 목적지 주소의 9 비트에서 20 비트에 대한 룩업을 수행하기 위한 제 2 테이블;
및
상기 IP 목적지 주소의 LSB(least significant bit) 12 비트에 대한 룩업을 수행하기 위
한 제 3 테이블을 포함하는 것을 특징으로 하는 IP 룩업 시스템.

【청구항 7】

제 6 항에 있어서,
상기 제 1 내지 제 3 테이블들은, 포워딩 엔트리의 변경 발생시 변경이 발생된 테이블별
로 업데이트 되는 것을 특징으로 하는 IP 룩업 시스템.

【청구항 8】

제 6 항에 있어서,

상기 제 1 테이블은 2^8 개의 32 바이트 엔트리들을 포함하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 9】

제 8 항에 있어서, 상기 제 1 테이블은
상기 제 1 테이블을 구성하는 각각의 엔트리가 유효한지 여부를 나타내는 유효 비트;
상기 제 2 테이블의 엔트리에서 비교될 비트를 결정하기 위해, 상기 IP 목적지 주소에
대한 쉬프트 비트 수를 나타내는 제 1 쉬프트 비트; 및
상기 제 2 테이블을 구성하는 복수 개의 서브 테이블들에 대한 시작 주소로부터의 오프
셋을 나타내는 제 2 테이블 오프셋 비트를 포함하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 10】

제 9 항에 있어서,
상기 제 1 테이블은, 상기 제 2 테이블 오프셋 비트가 가리키는 엔트리가 다음 흙에 관
한 정보를 가지고 있는지 여부를 나타내는 플래그 비트를 더 포함하는 것을 특징으로 하는 IP
루업 시스템.

【청구항 11】

제 6 항에 있어서,
상기 제 1 테이블은, 다음 테이블이 마지막 테이블임을 나타내는 파이널 비트를 더 포함
하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 12】

제 9 항에 있어서,

상기 제 2 테이블은, 상기 제 1 쉬프트 비트를 ShiftBits1이라 할 때, 상기 제 1 테이블에 포함된 각각의 엔트리에 대해 2ShiftBits1개의 4 바이트 엔트리들을 포함하는 것을 특징으로 하는 IP 룩업 시스템.

【청구항 13】

제 12 항에 있어서, 상기 제 2 테이블은
상기 제 2 테이블을 구성하는 각각의 엔트리가 유효한지 여부를 나타내는 유효 비트;
상기 제 3 테이블의 엔트리에서 비교될 비트를 결정하기 위해, 상기 IP 목적지 주소에
대한 쉬프트 비트 수를 나타내는 제 2 쉬프트 비트; 및
상기 제 3 테이블을 구성하는 복수 개의 서브 테이블들에 대한 상기 제 1 테이블로부터
의 오프셋을 나타내는 제 2 테이블 오프셋 비트를 포함하는 것을 특징으로 하는 IP 룩업 시스
템.

【청구항 14】

제 13 항에 있어서,
상기 제 3 테이블은, 상기 제 2 쉬프트 비트를 ShiftBits2이라 할 때, 상기 제 2 테이블
에 포함된 각각의 엔트리에 대해 2ShiftBits2개의 16 바이트 엔트리들을 포함하는 것을 특징으
로 하는 IP 룩업 시스템.

【청구항 15】

제 14 항에 있어서, 상기 제 3 테이블은
상기 제 3 테이블을 구성하는 각각의 엔트리가 유효한지 여부를 나타내는 유효 비트;

상기 제 3 테이블을 구성하는 각각의 엔트리에 대한 각각의 인터페이스에 대한 정보를 나타내는 인터페이스 표시 비트; 및 다음 홉 MAC(Media Access Control) 주소, 및 스위치 패브릭에 의해 사용될 부가 헤더 정보를 나타내는 패브릭 헤더를 포함하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 16】

제 1 항에 있어서, 상기 포워딩 엔진은 상기 패킷의 상기 IP 목적지 주소와 일치하는 포워딩 엔트리가 상기 포워딩 테이블에 존재하는지를 검색하고, 검색된 상기 포워딩 엔트리에 의해 제공되는 다음 홉 정보 및 패킷 처리 정보를 이용하여 상기 패킷을 포워딩하는 패킷 포워딩부; 내부 라우팅 프로토콜을 처리하는 프로토콜 패킷 처리부; 및 상기 IP 목적지 주소에 포워딩 정보가 설정되어 있지 않은 경우, 해당 패킷을 에러 패킷으로 판단하여 폐기하는 오류 처리부를 포함하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 17】

제 16 항에 있어서, 상기 패킷 포워딩부는, IP LPM(Longest Prefix Match) 방법을 통해서 상기 IP 목적지 주소와 가장 길게 일치하는 엔트리를 검색하는 것을 특징으로 하는 IP 루업 시스템.

【청구항 18】

- (a) 수신된 IP 데이터 패킷으로부터 IP 목적지 주소를 추출하는 단계;
- (b) 상기 IP 목적지 주소의 MSB 8 비트에 대응되는 제 1 테이블의 엔트리를 추출하는 단계;

- (c) 상기 IP 목적지 주소의 MSB 8 비트 이후의 14 비트를 제 1 쉬프트 비트만큼 쉬프트한 값에 대응되는 제 2 테이블의 엔트리를 추출하는 단계;
- (d) 상기 IP 목적지 주소의 LSB 12 비트를 제 2 쉬프트 비트만큼 쉬프트한 값에 대응되는 제 3 테이블의 엔트리를 추출하는 단계; 및
- (e) 검색된 상기 제 3 테이블의 해당 엔트리에 존재하는 다음 흡 정보 및 패킷 처리 정보를 추출하는 단계를 포함하며,

상기 제 1 내지 제 3 테이블들은 상기 IP 목적지 주소를 구성하는 소정의 주소 그룹 각각에 대한 검색을 수행할 수 있도록 구성된 포워딩 테이블에 구비되는 것을 특징으로 하는 IP 루업 방법.

【청구항 19】

제 18 항에 있어서,

상기 제 1 내지 제 3 테이블들은, 포워딩 엔트리의 변경 발생시 변경이 발생된 테이블별로 업데이트 되는 것을 특징으로 하는 IP 루업 방법.

【청구항 20】

제 18 항에 있어서,

상기 (b), (c) 및 (d) 단계는 IP LPM(Longest Prefix Match) 방법을 통해서 상기 IP 목적지 주소와 가장 길게 일치하는 엔트리를 검색하는 것을 특징으로 하는 IP 루업 방법.

【청구항 21】

제 18 항에 있어서, 상기 제 1 테이블은

상기 제 1 테이블을 구성하는 각각의 엔트리가 유효한지 여부를 나타내는 유효 비트;

상기 제 2 테이블의 엔트리에서 비교될 비트를 결정하기 위해, 상기 IP 목적지 주소에 대한 쉬프트 비트 수를 나타내는 상기 제 1 쉬프트 비트; 및

상기 제 2 테이블을 구성하는 복수 개의 서브 테이블들에 대한 시작 주소로부터의 오프셋을 나타내는 제 2 테이블 오프셋 비트를 포함하는 것을 특징으로 하는 IP 루업 방법.

【청구항 22】

제 21 항에 있어서,

상기 제 2 테이블은, 상기 제 1 쉬프트 비트를 ShiftBits1이라 할 때, 상기 제 1 테이블에 포함된 각각의 엔트리에 대해 2^{ShiftBits1}개의 4 바이트 엔트리들을 포함하는 것을 특징으로 하는 IP 루업 방법.

【청구항 23】

제 22 항에 있어서, 상기 제 2 테이블은

상기 제 2 테이블을 구성하는 각각의 엔트리가 유효한지 여부를 나타내는 유효 비트;

상기 제 3 테이블의 엔트리에서 비교될 비트를 결정하기 위해, 상기 IP 목적지 주소에 대한 쉬프트 비트 수를 나타내는 상기 제 2 쉬프트 비트; 및

상기 제 3 테이블을 구성하는 복수 개의 서브 테이블들에 대한 상기 제 1 테이블로부터의 오프셋을 나타내는 제 2 테이블 오프셋 비트를 포함하는 것을 특징으로 하는 IP 루업 방법.

【청구항 24】

제 23 항에 있어서,

상기 제 3 테이블은, 상기 제 2 쉬프트 비트를 ShiftBits2이라 할 때, 상기 제 2 테이블에 포함된 각각의 엔트리에 대해 2ShiftBits2개의 16 바이트 엔트리들을 포함하는 것을 특징으로 하는 IP 룩업 방법.

【청구항 25】

제 24 항에 있어서, 상기 제 3 테이블은
상기 제 3 테이블을 구성하는 각각의 엔트리가 유효한지 여부를 나타내는 유효 비트;
상기 제 3 테이블을 구성하는 각각의 엔트리에 대한 각각의 인터페이스에 대한 정보를
나타내는 인터페이스 표시 비트; 및
다음 흡 MAC(Media Access Control) 주소, 및 스위치 패브릭에 의해 사용될 부가 헤더
정보를 나타내는 패브릭 헤더를 포함하는 것을 특징으로 하는 IP 룩업 방법.

【청구항 26】

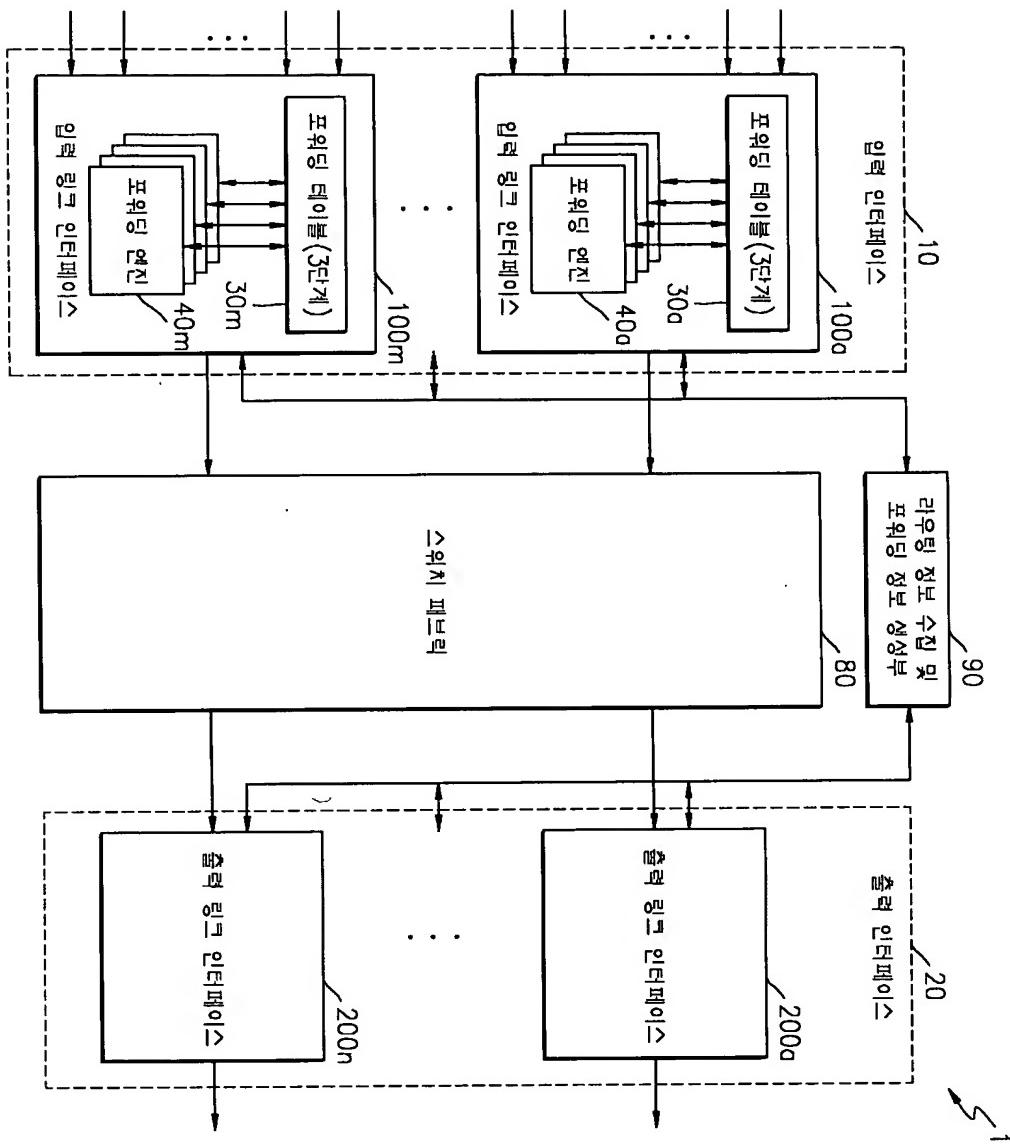
제 21 항, 제 23 항 또는 제 25 항에 있어서,
상기 IP 룩업 방법은, (f) 상기 유효 비트가 유효하지 않은 것으로 판명된 경우, 해당
패킷을 폐기하는 단계를 더 포함하는 것을 특징으로 하는 IP 룩업 방법.

【청구항 27】

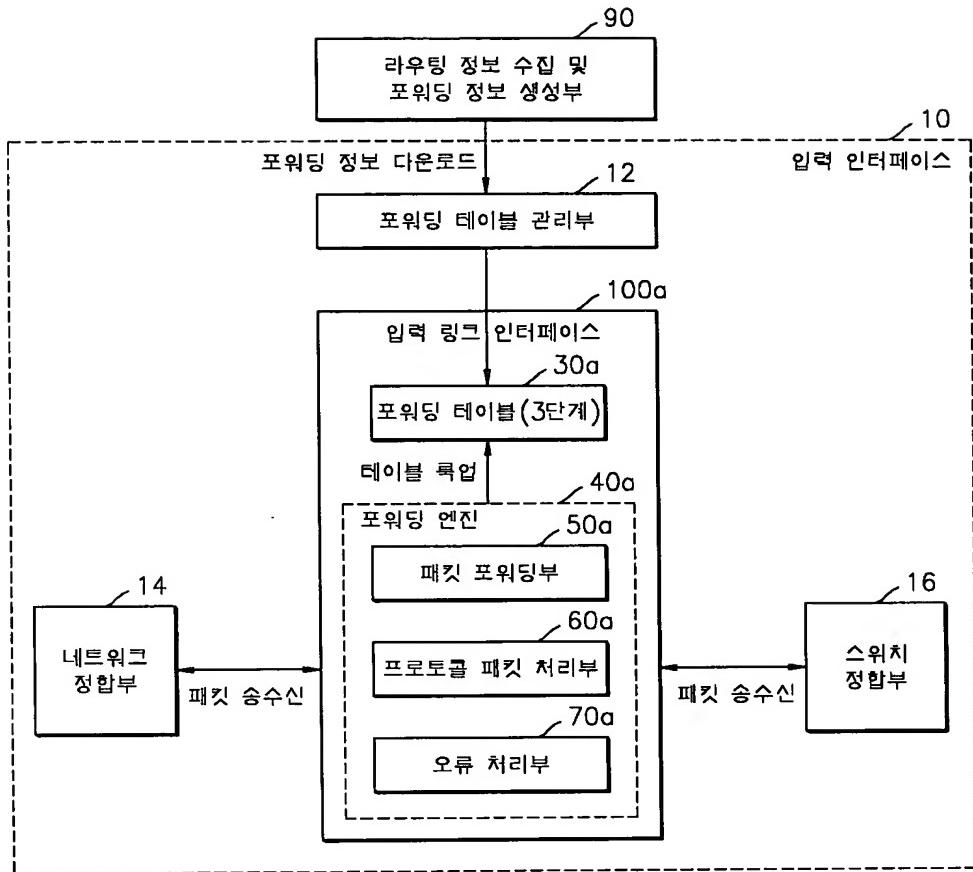
제 18 항 내지 제 26 항 중 어느 한 항의 방법을 컴퓨터에서 실행시키기 위한 프로그램
을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

【도면】

【도 1】



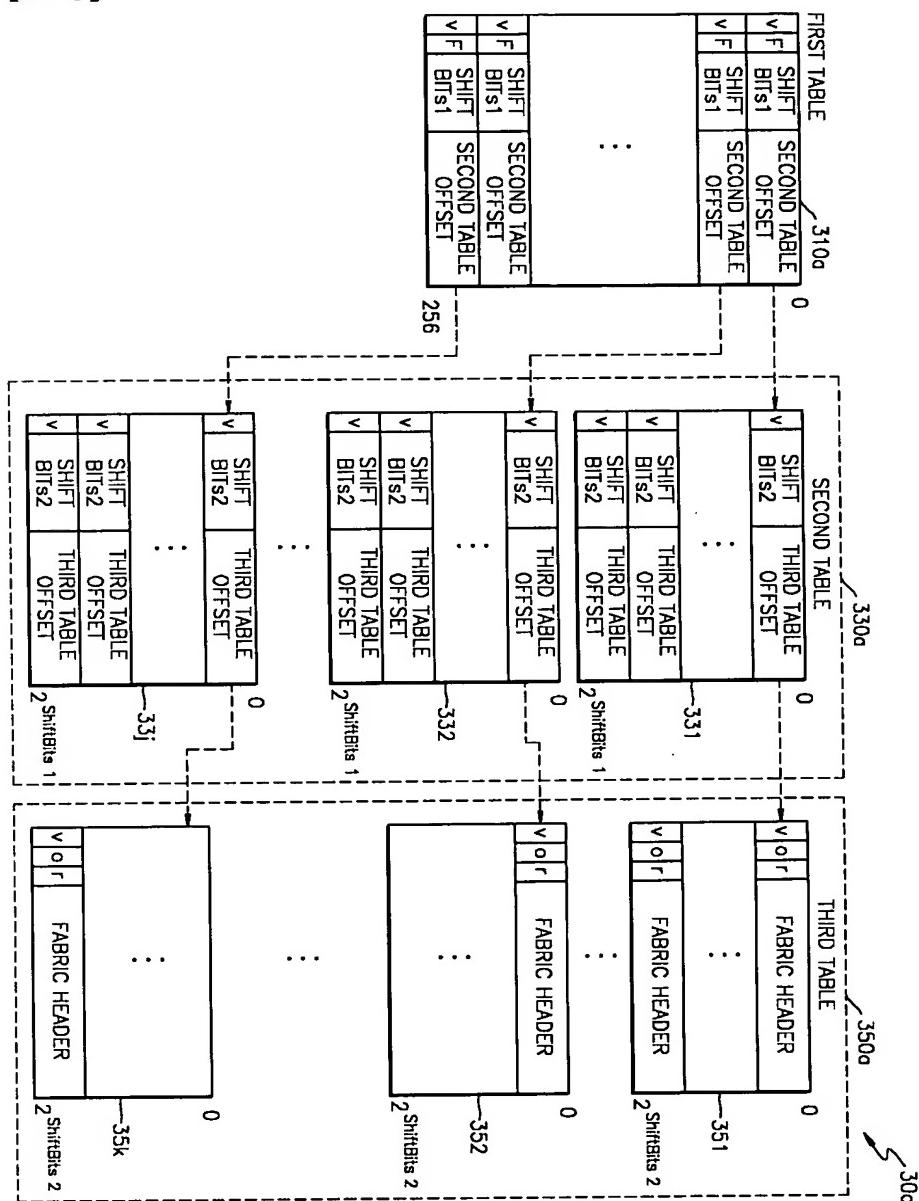
【도 2】



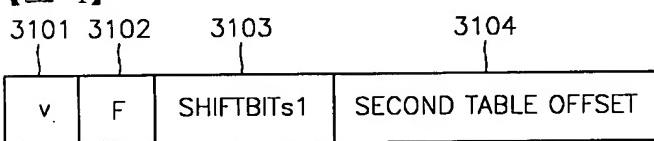
1020020074352

수록 일자: 2003/11/11

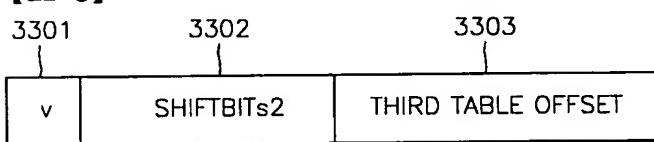
【H 3】



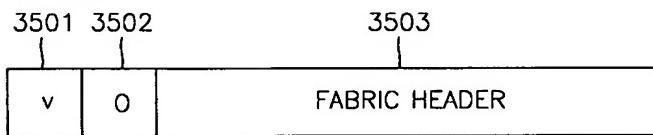
【H 4】



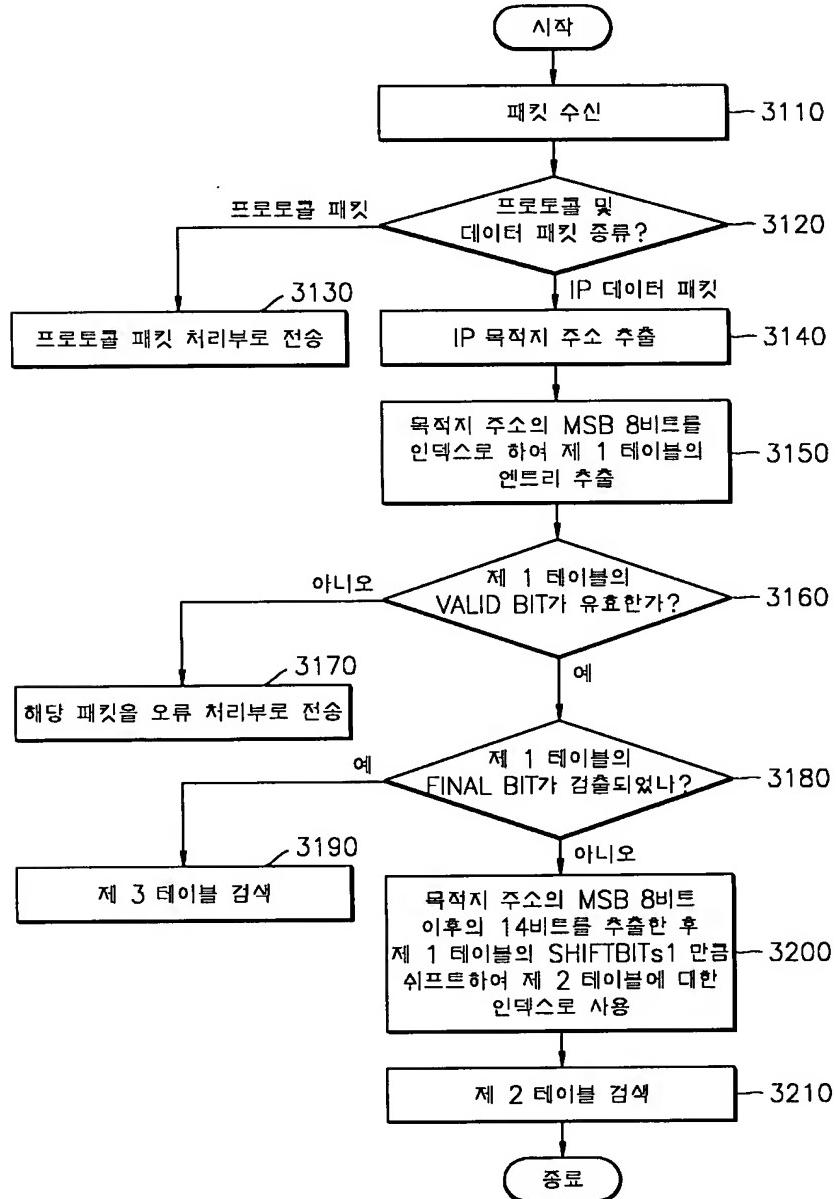
【H 5】



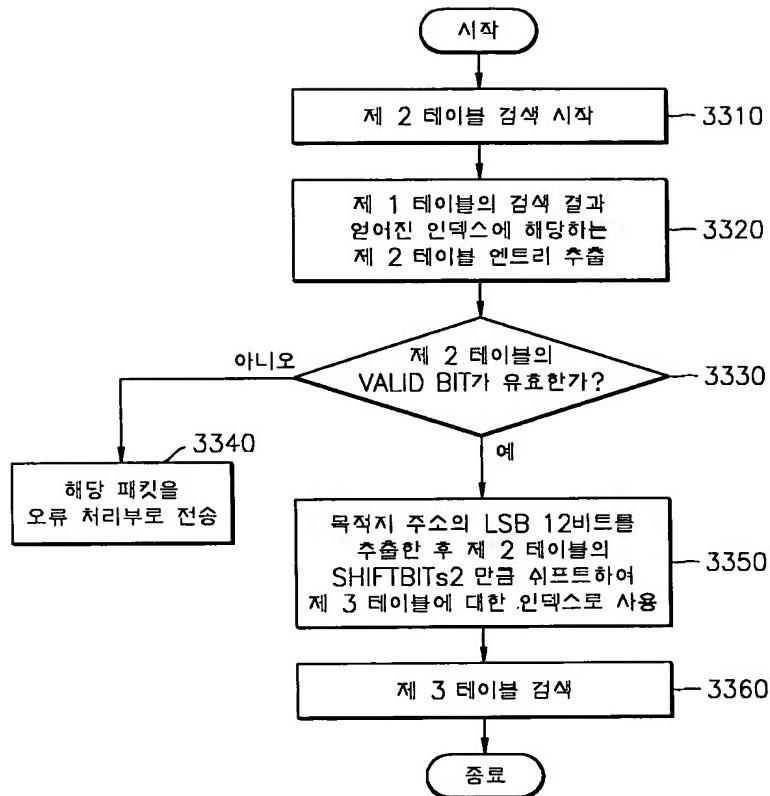
【도 6】



【도 7】



【도 8】



【도 9】

